

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-196928

(43)Date of publication of application : 11.07.2003

(51)Int.Cl.

G11B 20/10

G11B 7/007

(21)Application number : 2002-206635

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 16.07.2002

(72)Inventor : MOCHIZUKI MASAKI
HAYAMIZU ATSUSHI

(30)Priority

Priority number : 2001316673

Priority date : 15.10.2001

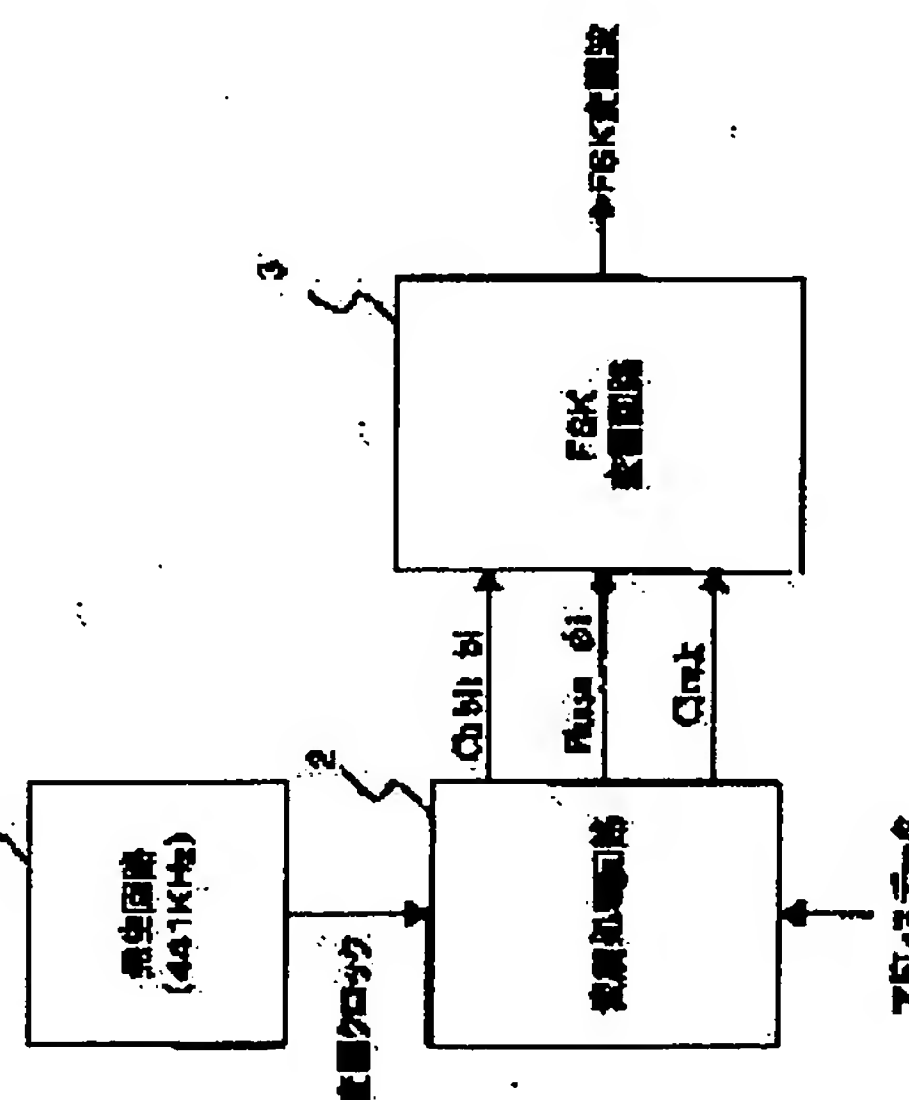
Priority country : JP

(54) METHOD AND DEVICE FOR MODULATING ADDRESS, METHOD AND DEVICE FOR DEMODULATING ADDRESS, INFORMATION RECORDING MEDIUM, RECORDER, AND RECORDING AND PLAYBACK DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an address modulating method for modulating address information with high density for recording while maintaining phase continuity, an address modulating device, address demodulating method, address demodulating device, information recording medium and recording and playback device.

SOLUTION: In preliminarily recording address information on a pregroove of an information recording medium with wobble modulation, a wobble frequency f_c is generated, an address channel bit b_i , phase information, and a clock of the same frequency as the frequency are generated on the address information, and an FSK (frequency-shift keying) modulated wave obtained by making (1 and 0) of the address information correspond to $f_c + \Delta f_c$ and $f_c - \Delta f_c$ respectively is subsequently generated on the basis of the address channel bit b_i , the phase information and the clock. The basic cycle of the frequency is defined as T ($T = 1/f_c$), the phase difference of the FSK modulated wave satisfies are relation of $2\pi\Delta f_c T = \pi$. The FSK modulated wave is demodulated with reverse procedures.



LEGAL STATUS

[Date of request for examination] 29.11.2004

[Date of sending the examiner's decision of rejection] 07.12.2007

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号
特開2003-196928
(P2003-196928A)

(43)公開日 平成15年7月11日(2003.7.11)

(51)Int.Cl.⁷
G11B 20/10
7/007

識別記号
341

FI
G11B 20/10
7/007

テーマコード(参考)
341C 5D044
5D090

審査請求 未請求 請求項の数9 OL (全14頁)

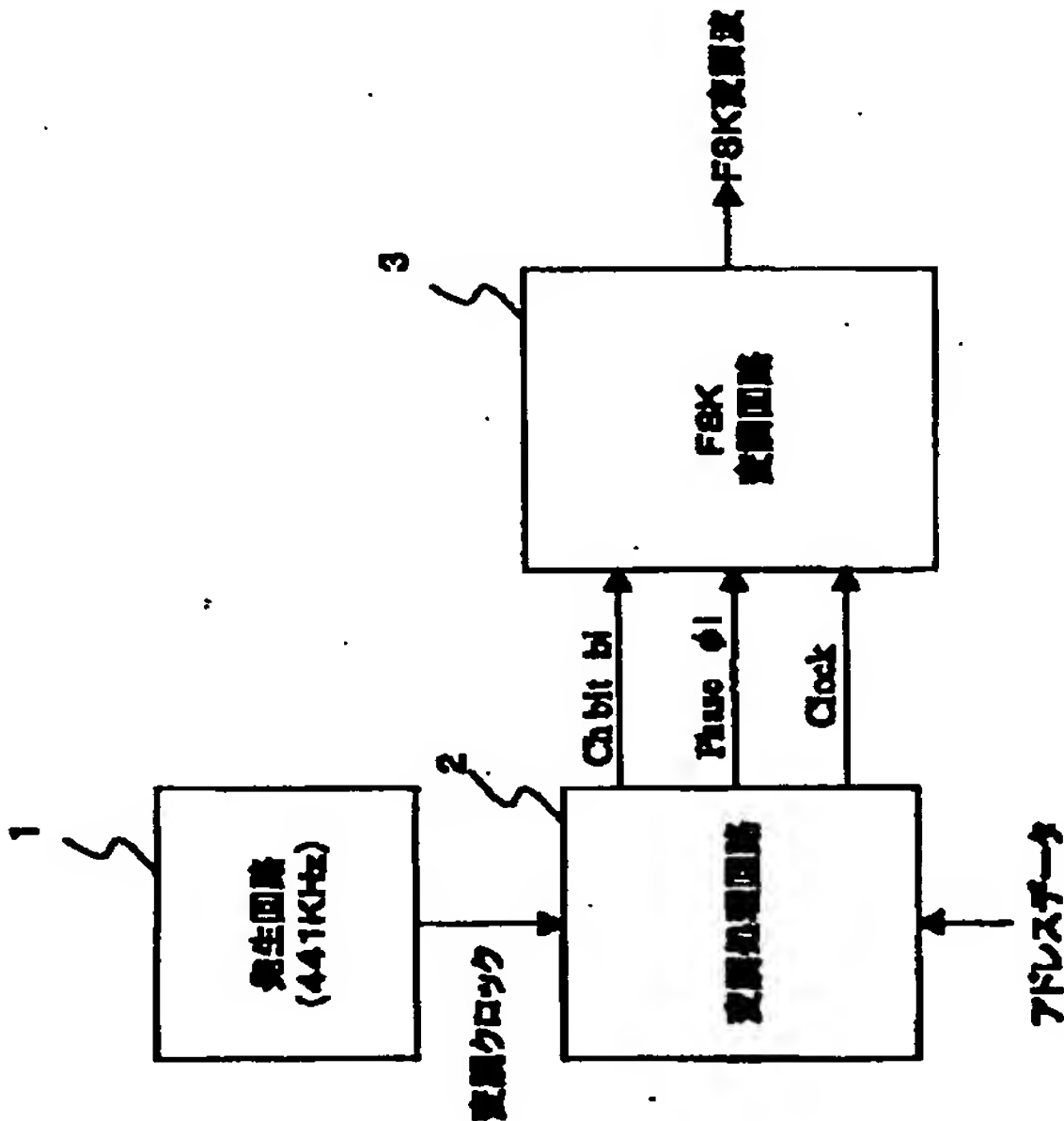
(21)出願番号	特願2002-206635(P2002-206635)	(71)出願人	000004329 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12番地
(22)出願日	平成14年7月16日(2002.7.16)	(72)発明者	望月 聖樹 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内
(31)優先権主張番号	特願2001-316673(P2001-316673)	(72)発明者	速水 淳 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内
(32)優先日	平成13年10月15日(2001.10.15)	Fターム(参考)	5D044 BC04 CC06 DE17 DE32 DE37 DE58 GL50 5D090 AA01 CC14 FF42 GG22 GG26
(33)優先権主張国	日本(JP)		

(54)【発明の名称】 アドレス変調方法、アドレス変調装置、アドレス復調方法、アドレス復調装置、情報記録媒体、記録装置及び記録再生装置

(57)【要約】

【課題】 位相連続性を保ちつつ、高密度なアドレス情報を変調記録するアドレス変調方法、アドレス変調装置、アドレス復調方法、アドレス復調装置、情報記録媒体及び記録再生装置を提供する。

【解決手段】 情報記録媒体のブリググループに予めアドレス情報をウォブル変調で記録する際、ウォブルの周波数 f_c を生成し、前記アドレス情報に基づいて、アドレスチャンネルビット b_i 、位相情報、及び前記周波数と同じ周波数のクロックを生成した後、前記アドレスチャンネルビット b_i 、前記位相情報、及び前記クロックに基づいて、アドレス情報の[1,0]をそれぞれ $f_c + \Delta f_c$ 、 $f_c - \Delta f_c$ に対応させたFSK変調波を生成し、前記周波数の基本周期を T ($T = 1/f_c$)とする時、前記FSK変調波の位相差が $2\pi\Delta f_c T = \pi$ の関係を満足するようにする。また、これを逆手順で復調する。



(2)

特開2003-196928

1

【特許請求の範囲】

【請求項1】情報記録媒体のブリグループに予めアドレス情報をウォブル変調で記録するアドレス変調方法であって、

ウォブルの基本周波数 f_c を生成し、

前記アドレス情報に基づいて、アドレスチャンネルビット b_i 、位相情報、及び前記基本周波数 f_c と同じ周波数のクロックを生成した後、前記アドレスチャンネルビット b_i 、前記位相情報、及び前記クロックに基づいて、前記アドレス情報の $[1, 0]$ をそれぞれ $f_c + \Delta f_c$ 、 $f_c - \Delta f_c$ に対応させたFSK（周波数シフトキーイング）変調波を生成し、

前記基本周波数の基本周期を T （ $T = 1/f_c$ ）とする時、前記FSK変調波の位相差が $2\pi\Delta f_c T = \pi$ の関係を満足することを特徴とするアドレス変調方法。

【請求項2】前記アドレス情報のアドレスデータビット $[1, 0]$ をアドレスチャンネルビット $b_i = [1, -1]$ に割り当てた場合、 t を時間情報、 i を前記基本周波数 f_c の周期 T 間隔でのビット位置、 b_i を i 時点の前記アドレスチャンネルビット、 b_{i-1} を $(i-1)$ 時点の前記アドレスチャンネルビット、 ϕ_i を位相情報、 ϕ_{i-1} を 1 T 期間前の位相情報として、前記FSK変調波の変調信号 $s(t)$ を $s(t) = \sin(2\pi f_c t(1 + b_i/4) + \phi_i)$ とする時、

前記位相情報は、

$b_i = b_{i-1}$ ならば、 $\phi_i = \phi_{i-1}$

$b_i \neq b_{i-1}$ ならば、

$i = \text{odd}$: $\phi_i = \phi_{i-1}$

$i = \text{even}$: $\phi_i = \phi_{i-1} + \pi$

であることを特徴とする請求項1記載のアドレス変調方法。

【請求項3】情報記録媒体のブリグループに予めアドレス情報をウォブル変調で記録するアドレス変調装置であって、

ウォブルの基本周波数 f_c を生成する発生手段と、

前記アドレス情報に基づいて、アドレスチャンネルビット b_i 、位相情報、及び前記基本周波数 f_c と同じ周波数のクロックを生成する変調処理手段と、

前記アドレスチャンネルビット b_i 、前記位相情報、及び前記クロックに基づいて、前記アドレス情報の $[1, 0]$ をそれぞれ $f_c + \Delta f_c$ 、 $f_c - \Delta f_c$ に対応させたFSK（周波数シフトキーイング）変調波を生成するFSK変調手段と、からなり、

前記周波数の基本周期を T （ $T = 1/f_c$ ）とする時、前記FSK変調波の位相差が $2\pi\Delta f_c T = \pi$ の関係を満足するようにして変調記録することを特徴とするアドレス変調装置。

【請求項4】前記アドレス情報のアドレスデータビット $[1, 0]$ をアドレスチャンネルビット $b_i = [1, -1]$ に割り当てた場合、 t を時間情報、 i を前記基本周

2

期 T 間隔でのビット位置、 b_i を i 時点の前記アドレスチャンネルビット、 b_{i-1} を $i-1$ 時点の前記アドレスチャンネルビット、 ϕ_i を位相情報、 ϕ_{i-1} を 1 T 期間前の位相情報として、前記FSK変調信号 $s(t)$ を $s(t) = \sin(2\pi f_c t(1 + b_i/4) + \phi_i)$ とする時、前記位相情報は、

$b_i = b_{i-1}$ ならば、 $\phi_i = \phi_{i-1}$

$b_i \neq b_{i-1}$ ならば、

$i = \text{odd}$: $\phi_i = \phi_{i-1}$

10 $i = \text{even}$: $\phi_i = \phi_{i-1} + \pi$

であることを特徴とする請求項3記載のアドレス変調装置。

【請求項5】情報記録媒体のブリグループに変調記録されたアドレス情報を抽出する復調方法であって、

アドレス信号が重畳されたウォブル信号を検出し、このウォブル信号から $f_c + \Delta f_c$ 、 $f_c - \Delta f_c$ のうち何れかのウォブル周波数に位相同期した信号を生成し、

前記ウォブル周波数に位相同期した信号を前記アドレス信号が重畳されたウォブル信号に乗算して乗算信号を生成し、

前記乗算信号の高周波成分を減衰させ、低周波成分を通過させた後、

前記低周波成分の前記乗算信号から前記アドレス信号を復調するアドレス復調方法。

【請求項6】情報記録媒体のブリグループに変調記録されたアドレス情報を抽出する復調装置であって、

アドレス信号が重畳されたウォブル信号を抽出する検出手段と、

前記検出手段によって検出したウォブル信号から、 $f_c + \Delta f_c$ 、 $f_c - \Delta f_c$ のうち何れかのウォブル周波数に位相同期した信号を生成する位相同期回路と、

前記ウォブル周波数に位相同期した信号を前記アドレス信号が重畳されたウォブル信号に乗算して乗算信号を生成する乗算手段と、

前記乗算信号の高周波成分を減衰させ、低周波成分を通過させる低域通過フィルタ手段と、

前記低周波成分の前記乗算信号から前記アドレス信号を復調するアドレス信号判別手段と、を備えたことを特徴とするアドレス復調装置。

40 【請求項7】請求項1から請求項4のいずれかに記載のアドレス変調方法あるいはアドレス変調装置によって生成されたウォブルされた案内溝を少なくとも一部備えていることを特徴とする情報記録媒体。

【請求項8】請求項2又は3のいずれかに記載のアドレス変調装置を備えていることを特徴とする記録装置。

【請求項9】請求項5又は6のいずれかに記載のアドレス復調装置を備えていることを特徴とする記録再生装置。

【発明の詳細な説明】

50 【0001】

(3)

特開2003-196928

3

【発明の属する技術分野】本発明は、データを記録するトラックが予め形成されているとともに、アドレスデータに対応して前記トラックがウォブル変調されている情報記録媒体並びにそのアドレス変調方法、アドレス変調装置、アドレス復調方法、アドレス復調装置、記録装置及び記録再生装置に関する。

【0002】

【従来の技術】CD-R (Compact Disk-Recordable) やMD (Mini Disk) などの記録可能な光ディスクには、所定の位置にデータを記録することができるように、アドレス（または時間）情報が予め記録されている。このアドレス情報は、アドレス情報で周波数変調 (Frequency Modulation) した周波数変調波によりブリググループをウォブリング（蛇行）させることにより記録されており、このウォブリングにより、レーザービーム照射位置の位置情報、時間情報等（以下ウォブルデータと呼ぶ）を検出するようになっている。

【0003】一般的な光ディスクについて図13を用いて説明する。図13は、一般的な光ディスクを示し、

(a) は、その平面図、(b) は、ブリググループ部分周辺を拡大した斜視図である。図13(a) に示すように、光ディスク37には、ブリググループ43がスパイラル状に内周から外周に向かって予め形成されている。もちろん、このブリググループ43は、同心円状に形成することも可能である。図13(b) に示すように、このブリググループ43は、その左右の側壁が、アドレス情報に対応してウォブリングされ、周波数変調波に対応して蛇行している。1つのトラックは、複数のウォブリングアドレスフレームを有している。

【0004】次に、トラックに記録されているウォブリングアドレスフレームについて図14を用いて説明する。図14は、ウォブリングアドレスフレームの構成（フォーマット）を示す図である。同図に示したように、ウォブリングアドレスフレームは42ビットで構成され、最初の4ビットは、ウォブリングアドレスフレームのスタートを示す同期信号 (Sync) を表している。次の8ビットは、最内周の再生開始点からの経過時間のうち分 (Minutes) の部分を表している。

【0005】次の8ビットは秒 (Seconds) 、さらに次の8ビットは、ウォブリングアドレスフレームのフレーム番号 (Frames) を表している。その後の14ビットは、誤り訂正符号 (ECC) であり、同期信号 (Sync) を除いたエラー訂正符号を表している。

【0006】次に、図14に示すフォーマットのウォブリングアドレスフレームに対応して、ブリググループ43をウォブリングさせるためのウォブリング信号を発生するアドレス変調装置について図15を用いて説明する。図15は、従来のアドレス変調装置を示すブロック図である。発生回路44は、44.1kHzの周波数の信号を発生する。発生回路44が発生する信号は、割算器4

4

5に供給され、値7で割算された後、周波数6.3kHzの位相変調クロック信号として位相変調回路46に供給される。また、位相変調回路46には、図14に示すフレームフォーマットのATIP (Absolute Time In Pre-groove) データが供給される。

【0007】位相変調回路46は、割算器45より供給される位相変調クロックを、図示せぬ回路から供給されるATIPデータで位相変調 (Phase Encoding: PE) し、得られた位相変調信号をFM変調回路48に出力する。また、FM変調回路48には、発生回路44が発生した44.1kHzの信号を、割算器47により値2で割算して得られた周波数22.05kHzのキャリア信号が入力される。

【0008】FM変調回路48は、この割算器47より入力されるキャリア信号を、位相変調回路46より入力される位相変調信号でアナログ周波数変調し、その結果得られる周波数変調波を出力する。光ディスク37のブリググループ43の左右側壁は、この周波数変調波に対応してウォブリング形成される。

【0009】図16は、2値化されたウォブリング変調成分（周波数変調波）の一例を示し、(a) は、波形、(b) は、アドレスチャンネルビット、(c) はアドレスデータを示す図である。図16(c) に示すアドレスデータは、記録しようとするATIPデータのビットの状態を示している。図16(b) に示すアドレスチャンネルビットは、アドレスデータビットをバイフェーズ変調、即ち、デジタル周波数変調した場合に得られるビットの状態を示している。また、図16(a) に示す波形は、アドレスチャンネルビットの1, 0のパターンを、1を高レベル、0を低レベルの信号として表したものである。

【0010】FM変調回路48は、図16(b) に示すアドレスチャンネルビット (PE信号) に対応して、割算器47より供給されるキャリア信号をアナログ周波数変調し、得られたアナログ信号（周波数変調波）によりブリググループをウォブリングさせる。

【0011】すなわち、図16(b) に示すアドレスチャンネルビット（位相変調信号）が1である場合、FM変調回路48は、1ビットのビットデータの半分の長さに対応する1ビットのチャンネルデータ期間に、例えば21.05kHz + 1kHzのキャリア信号周波数を出力し、図16(b) に示すアドレスチャンネルビットが0であるとき、1ビットのチャンネルビットデータの半分の長さに対応する期間に、例えば21.05kHz - 1kHzのキャリア信号周波数を出力する。

【0012】このとき、位相変調クロックは、6.3kHz、キャリア信号周波数は、22.05kHzであるので、1ビットのアドレスチャンネルビットの周波数は、6.3kHz、1ビットのアドレスデータビットの周波数は、3.15kHzでキャリア信号周波数の1/

(4)

特開2003-196928

5

7であり、1ビットのアドレスデータビットの周期に7周期のキャリアが出力されることになる。

【0013】このようにして記録されたアドレス情報は、図17に示す復調装置によって復調される。図17は、アドレス情報を復調する従来のアドレス復調装置のブロック図である。図17において、バッファ49は、光ディスク37（図13参照）からの反射光を電気信号に変換する受光部（図示せず）より出力される信号を所定のゲインで増幅して出力する。バンドパスフィルタ

（Band Pass Filter（以下、BPF））50は、前記した受光部（図示せず）から出力される電気信号から、ウォブル信号を抽出し、ウォブルPLL回路51に出力する。

【0014】ウォブルPLL回路51は、キャリア周波数に平均的にロックしたクロック信号を生成すると共に、BPF50より出力される信号との位相のずれに応じた位相誤差信号を出力する。LPF52は、ウォブルPLL回路51から出力された位相誤差信号の高域雑音を除去し、コンパレータ53に出力する。

【0015】コンパレータ53は、LPF52の出力信号を基準電圧と比較し、LPF52の出力レベルが基準電圧よりも大きい場合は、出力を“1”の状態とし、その逆の場合は、出力を“0”の状態とする。コンパレータ53から出力された信号を2値のチャンネルデータとしてバイフェーズ復調回路54に入力して、図16で示した変調記録手順と逆のプロセスでアドレスデータ（ATIPデータ）を復調する。

【0016】上記のようなアドレスデータの復調を行う場合、ウォブルPLL回路51から出力された位相誤差信号をLPF52で高域雑音を除去し、コンパレータ53で2値化し、図16（b）に相当するチャンネルデータを正しく検出するためには、ウォブルPLL回路51及びLPF52の応答特性を考慮して、チャンネルデータの周波数とキャリア信号周波数の比をある程度大きく*

$$p(t) = \sin(2\pi f_c t)$$

$$f_c = f_0 : b_i = 0$$

$$f_c = f_1 : b_i = 1$$

【0022】ここで $b_i = 1$ が再生されたとすると、再生信号は $p(t) = \sin(2\pi f_1 t)$ であるので、乗算器*

$$\begin{aligned} r_1(t) &= 2 \sin(2\pi f_1 t) \sin(2\pi f_1 t) \\ &= -\cos 2\pi(f_1 + f_1)t + \cos 2\pi(f_1 - f_1)t \dots (5) \end{aligned}$$

5)

である。第2項は1であり、第1項は第1のLPF58 ★ ★で除去されるので、

$$r_1(t) \approx 1 \dots (6)$$

6)

が成り立つ。なお、 $r_1(t)$ は入力位相によって-1を取る場合もある。

$$\begin{aligned} r_0(t) &= 2 \sin(2\pi f_1 t) \sin(2\pi f_0 t) \\ &= -\cos 2\pi(f_1 + f_0)t + \cos 2\pi(f_1 - f_0)t \dots (7) \end{aligned}$$

7)

6

*とり、チャンネルデータ1ビットあたりのウォブルの数を増やしておく必要がある。このため、図15のアドレス変調装置の場合には、チャンネルデータの周波数とキャリア信号周波数の比を7倍にとっている。

【0017】

【発明が解決しようとする課題】しかしながら、チャンネルデータの周波数とキャリア信号周波数を等しくして、ウォブル1つにチャンネルデータ1ビットを割り当てて記録した場合、図17に示す復調装置では、回路の応答性が間に合わないため周波数の変調分を位相誤差として検出できず、アドレスデータを検出できなかった。

【0018】また、アドレスデータとしてより多くの情報を記録しようとする、アドレスデータを記録するためのウォブルのキャリア信号周波数をより高くする必要があり、ウォブルのキャリア信号周波数が記録再生する情報信号の周波数帯域に近くなるので、記録再生信号に悪影響を与えていた。

【0019】一方、周波数変調された信号に対しては、同期検波による検出が有効であることが知られている。

なかでも2値の周波数変調波を直交する関係にして、復調時に直交同期検波が行えれば、雑音の少ない高精度な検出が可能であり、高密度なビット割り当ても可能になる。

【0020】ここで、直交同期検波を行うためのよく知られた条件を図18を用いて説明する。図18は、直交同期検波器のブロック図である。図18に示すように、入力端子55にFSK変調された再生信号 $p(t)$ を入力し、乗算器56と第1のLPF58及び乗算器57と第2のLPF59で検波した後、判定回路60から復号データを出力する。

【0021】変調時の入力ビットを b_i とし、周波数 f_c のキャリア信号に変調を施し、変調後の周波数を f_0 、 f_1 （ただし $f_1 > f_0$ ）とすると、再生信号 $p(t)$ は下記の式（4）で表される。

$$\dots (4)$$

※56では $2 \sin(2\pi f_1 t)$ が乗算され、

☆【0023】一方、乗算器57では $2 \sin(2\pi f_0 t)$ が乗算され、

☆ t が乗算され、

(5)

特開2003-196928

7

8

である。第1項は第2のLPF59で除去されるので、

$$r_o(t) \approx \cos 2\pi(f_1 - f_o)t \quad \dots (8)$$

さらに前記キャリア信号の基本周期を T ($T = 1/f_o$) として、 $(f_1 - f_o)$ が $1/(2T)$ の整数倍で *

* あれば、 $T = 1$ として

$$r_o(t) \approx \cos(\pi t) \quad \dots (9)$$

)

が成り立つ。

※ 信号は $p(t) = \sin(2\pi f_o t)$ であるので、同様に

【0024】逆に $b_i = 0$ が再生されたとすると、再生 ※

$$r_i(t) \approx \cos(\pi t) \quad \dots (10)$$

$$r_o(t) \approx 1 \quad \dots (11)$$

なお $r_o(t)$ は、入力位相によって -1 を取る場合もある。

【0025】よって、 $b_i = 1$ の場合には式(6)と式(9)から明らかなように $r_i(t)$ は ± 1 の何れかの定数となり、 $r_o(t)$ は、ビット周期 $1/2$ で 0 と交わる。一方、 $b_i = 0$ の場合には式(10)と式(11)から明らかなように $r_o(t)$ は ± 1 の何れかの定数となり、 $r_i(t)$ は、ビット周期 $1/2$ で 0 と交わる。

【0026】この場合、同期検波には $r_i(t)$ 、 $r_o(t)$ の何れかをを用いれば、入力ビットは、ビット周期の $1/2$ で 0 と交差する場合としない場合とで復号が可能であり、ビット周期の $1/2$ で 0 と交わることから復号時の位相余裕が最大となり同期検波が精度良く行える。

【0027】すなわち、同期検波を精度良く行うためには直交同期検波が必要であり、その条件として、変調後の周波数が互いに直交の関係にあること、すなわち $f_1 - f_o = K/(2T)$ であることが必要である。また、この条件を与えると各ビットの境界で位相が連続となる位相連続性が得られることが知られている。

【0028】そこで、本発明は上記の点に着目してなされたものであり、ウォブルのキャリア周波数を高くすることなく、簡単な位相変調によって、位相連続性を保ちつつ、高密度なアドレス情報を変調記録するアドレス変調方法及びアドレス変調装置を提供することを目的とする。また、検出精度の高いアドレス情報の復調を行うアドレス復調方法及びアドレス復調装置を提供することを目的とする。更にまた、上記変調及び復調に用いられる情報記録媒体、記録装置及び記録再生装置を提供することを目的とする。

【0029】

【課題を解決するための手段】本発明の第1の発明は、情報記録媒体のブリグループに予めアドレス情報をウォブル変調で記録するアドレス変調方法であって、ウォブルの基本周波数 f_c を生成し、前記アドレス情報に基づいて、アドレスチャンネルビット b_i 、位相情報、及び前記基本周波数 f_c と同じ周波数のクロックを生成した後、前記アドレスチャンネルビット b_i 、前記位相情報、及び前記クロックに基づいて、前記アドレス情報の $[1, 0]$ をそれぞれ $f_c + \Delta f_c$ 、 $f_c - \Delta f_c$ に対応さ

20

30

40

50

せたFSK(周波数シフトキーイング)変調波を生成し、前記基本周波数の基本周期を T ($T = 1/f_c$) とする時、前記FSK変調波の位相差が $2\pi\Delta f_c T = \pi$ の関係を満足することを特徴とするアドレス変調方法を提供する。第2の発明は、前記アドレス情報のアドレスデータビット $[1, 0]$ をアドレスチャンネルビット $b_i = [1, -1]$ に割り当てた場合、 t を時間情報、 i を前記基本周波数 f_c の周期 T 間隔でのビット位置、 b_i を i 時点の前記アドレスチャンネルビット、 b_{i-1} を $(i-1)T$ 時点の前記アドレスチャンネルビット、 ϕ_i を位相情報、 ϕ_{i-1} を $1T$ 期間前の位相情報として、前記FSK変調波の変調信号 $s(t)$ を $s(t) = \sin(2\pi f_c t(1 + b_i/4) + \phi_i)$ とする時、前記位相情報は、
 $b_i = b_{i-1}$ ならば、 $\phi_i = \phi_{i-1}$
 $b_i \neq b_{i-1}$ ならば、
 $i = \text{odd}$: $\phi_i = \phi_{i-1}$
 $i = \text{even}$: $\phi_i = \phi_{i-1} + \pi$
 であることを特徴とする請求項1記載のアドレス変調方法を提供する。第3の発明は、情報記録媒体のブリグループに予めアドレス情報をウォブル変調で記録するアドレス変調装置であって、ウォブルの基本周波数 f_c を生成する発生手段と、前記アドレス情報に基づいて、アドレスチャンネルビット b_i 、位相情報、及び前記基本周波数 f_c と同じ周波数のクロックを生成する変調処理手段と、前記アドレスチャンネルビット b_i 、前記位相情報、及び前記クロックに基づいて、前記アドレス情報の $[1, 0]$ をそれぞれ $f_c + \Delta f_c$ 、 $f_c - \Delta f_c$ に対応させたFSK(周波数シフトキーイング)変調波を生成するFSK変調手段と、からなり、前記周波数の基本周期を T ($T = 1/f_c$) とする時、前記FSK変調波の位相差が $2\pi\Delta f_c T = \pi$ の関係を満足するようにして変調記録することを特徴とするアドレス変調装置を提供する。第4の発明は、前記アドレス情報のアドレスデータビット $[1, 0]$ をアドレスチャンネルビット $b_i = [1, -1]$ に割り当てた場合、 t を時間情報、 i を前記基本周期 T 間隔でのビット位置、 b_i を i 時点の前記アドレスチャンネルビット、 b_{i-1} を $i-1T$ 時点の前記アドレスチャンネルビット、 ϕ_i を位相情報、 ϕ_{i-1} を $1T$ 期間前の位相情報として、前記FSK変調信号 $s(t)$ を $s(t) = \sin(2\pi f_c t(1 + b_i/4) + \phi_i)$

(6)

特開2003-196928

9

とする時、前記位相情報は、

$b_i = b_{i-1}$ ならば、 $\phi_i = \phi_{i-1}$

$b_i \neq b_{i-1}$ ならば、

$i = \text{odd}$: $\phi_i = \phi_{i-1}$

$i = \text{even}$: $\phi_i = \phi_{i-1} + \pi$

であることを特徴とする請求項3記載のアドレス変調装置を提供する。第5の発明は、情報記録媒体のブリググループに変調記録されたアドレス情報を抽出する復調方法であって、アドレス信号が重畳されたウォブル信号を検出し、このウォブル信号から $f_c + \Delta f_c$, $f_c - \Delta f_c$ のうち何れかのウォブル周波数に位相同期した信号を生成し、前記ウォブル周波数に位相同期した信号を前記アドレス信号が重畳されたウォブル信号に乗算して乗算信号を生成し、前記乗算信号の高周波成分を減衰させ、低周波成分を通過させた後、前記低周波成分の前記乗算信号から前記アドレス信号を復調するアドレス復調方法を提供する。第6の発明は、情報記録媒体のブリググループに変調記録されたアドレス情報を抽出する復調装置であって、アドレス信号が重畳されたウォブル信号を抽出する検出手段と、前記検出手段によって検出したウォブル信号から、 $f_c + \Delta f_c$, $f_c - \Delta f_c$ のうち何れかのウォブル周波数に位相同期した信号を生成する位相同期回路と、前記ウォブル周波数に位相同期した信号を前記アドレス信号が重畳されたウォブル信号に乗算して乗算信号を生成する乗算手段と、前記乗算信号の高周波成分を減衰させ、低周波成分を通過させる低域通過フィルタ手段と、前記低周波成分の前記乗算信号から前記アドレス信号を復調するアドレス信号判別手段と、を備えたことを特徴するアドレス復調装置を提供する。第7の発明は、請求項1から請求項4のいずれかに記載のアドレス変調方法あるいはアドレス変調装置によって生成されたウォブルされた案内溝を少なくとも一部備えていることを特徴とする情報記録媒体を提供する。第8の発明は、請求項2又は3のいずれかに記載のアドレス変調装置を備えていることを特徴とする記録装置を提供する。第9の発明は、請求項5又は6のいずれかに記載のアドレス復調装置を備えていることを特徴とする記録再生装置を提供する。

【0030】

【発明の実施の形態】以下、本発明の実施形態について、図1乃至図12を参照して説明する。従来例と同一構成には同一符号を付し、その説明を省略する。図1は、本発明の実施形態の変調装置を示すブロック図である。図2は、アドレスフレームフォーマットのADIP (Address In Pre-groove) データを示す図である。図3は、アドレスデータビット1, 0に対する変調信号 $s(t)$ を示し、(a) は、アドレスデータビット1に対する変調信号、(b) は、アドレスデータビット0に対する変調信号

$$s(t) = \sin(2\pi f_c t (1 + b_i/4) + \phi_i) \quad \dots (1)$$

とする。i は、基本周波数 f_c の周期T間隔でのビット位置であり、 ϕ_i は、アドレスデータの信号開始点での

10

* 調信号を示す図である。図4は、アドレス変調信号の位相変遷図である。図5は、図1における変調装置の変調処理回路を示すブロック図である。図6は、FSK変調回路を示すブロック図である。図7は、変調ウォブル信号を示す図である。図8は、本発明の実施形態の復調装置を示すブロック図である。図9は、復調波を示す図である。図10は、本発明の実施形態の記録装置を示すブロック図である。図11は、本発明の実施形態の記録再生装置を示すブロック図である。図12は、本発明の実施形態のアドレス変調方法により記録されたカード状記録媒体の平面図である。

【0031】図1に示すように、本発明の実施形態の変調装置は、ウォブルの基本周波数441kHzの変調クロックを発生する発生回路1と、図示せぬ回路から供給されるアドレスデータに基づいて前記変調クロックを変調して、1, 0のアドレスチャンネルビット、位相情報及び変調クロックと同じ周波数のクロックを生成する変調処理回路2と、この変調処理回路2から生成された前記クロック、前記アドレスチャンネルビット及び前記位相情報に基づいて、FSK (周波数シフトキーイング) 変調波を生成するFSK変調回路3と、からなる。

【0032】この変調装置の動作は以下のようにして行う。まず、発生回路1から441kHzの周波数の信号を発生する。発生回路1が発生する信号を周波数441kHzの変調クロック信号として変調処理回路2に供給する。また、変調処理回路2には、図示せぬ回路からアドレスデータが供給される。アドレスデータとしては、例えば図2に示すフレームフォーマットのADIP (Address In Pre-groove) データが用いられる。

【0033】変調処理回路2は、発生回路1より供給される変調クロックと、図示せぬ回路から供給されるアドレスデータに基づいて、後段のFSK変調回路3の処理に必要なアドレスチャンネルビット、位相情報及び変調クロックと同じ周波数のクロックを生成する。FSK変調回路3は、変調処理回路2から供給されるアドレスチャンネルビット、位相情報及び変調クロックと同じ周波数のクロックに基づいて、FSK変調波を出力する。こうして、従来で説明した光ディスク37のブリググループ43の左右側壁は、このFSK変調波に対応してウォブリング形成される。

【0034】更に、詳細に説明する。発生回路1から生成される変調クロックの周波数を f_c とする時、アドレスデータビットの1, 0に対してそれぞれ $f_c + \Delta f_c$, $f_c - \Delta f_c$ に設定し、このとき位相差は、 $2\pi \Delta f_c T = \pi$ を満足するようにする。つまり、アドレスデータビット1, 0をそれぞれ $b_i = [1, -1]$ に割り当て、変調信号 $s(t)$ を

50 位置であり、 ϕ_i は、アドレスデータの信号開始点での

(7)

特開2003-196928

11

位相であり、0または π である。

【0035】図3(a)に示すように、アドレスデータビット1に対応する出力は、周期T毎に $+\pi/2$ 毎に増加していく。同様に、図3(b)に示すように、アドレスデータビット0に対応する出力は、周期T毎に $-\pi/2$ 毎に減少していく。また、例えば2ビット目が0だったとき、位相がつかないのは明らかである。 *

$$\begin{aligned} b_i = b_{i-1} & : \phi_i = \phi_{i-1} \\ b_i \neq b_{i-1} & : \end{aligned}$$

$$i = \text{odd} : \phi_i = \phi_{i-1} \text{ (奇数ビットなら}\phi_i\text{はかわらない)} \cdots (2)$$

$$i = \text{even} : \phi_i = \phi_{i-1} + \pi \text{ (偶数ビットなら}\phi_i\text{は反転)}$$

【0038】式(1)及び式(2)によって、 $2\pi\Delta f$ 、 $T = \pi$ を満足するFSK変調が可能となる。これを図1の変調装置の構成例で説明すると、変調処理回路2は、アドレスデータビット1、0をそれぞれアドレスチャンネルビット $b_i = [1, -1]$ に割り当てて、式(2)から b_i に対応する位相 ϕ_i を生成し、 b_i 、 ϕ_i をFSK変調回路3に出力する。FSK変調回路3は、変調処理回路2で生成した b_i 、 ϕ_i を式(1)に入力して、発生回路1より入力される変調クロックの基本周期としたFSK変調波を生成する。

【0039】次に、変調処理回路2について図5を用いて説明する。図5に示すように、変調処理回路2は、入力端子4から入力されたアドレスデータビットを変調に適したアドレスチャンネルビット b_i に変換するチャンネルビット交換回路6と、アドレスチャンネルビット b_i と発生回路1から出力されたクロックに基づいて、1クロック遅延されたアドレスチャンネルビット b_i を出力するディレイ7と、発生回路1から出力されたクロックに基づいて、アドレスチャンネルビット b_i の先頭データからのデータ順の偶奇を常に判定するeven, odd判定回路8と、アドレスチャンネルビット b_i と1クロック遅延されたアドレスチャンネルビット b_i とを比較し、even, odd判定回路8からの出力を参照して、位相 ϕ_i を生成する位相生成回路9と、位相 ϕ_i とアドレスチャンネルビット b_i をタイミングを揃えて出力端子12、13に出力するシフトレジスタ10、11と、からなる。

【0040】次に、この動作について説明する。入力端子4にアドレスデータ、入力端子5に前記した発生回路1からの変調クロックを入力する。アドレスチャンネルビット交換回路6は、アドレスデータを変調に適したアドレスチャンネルビット b_i に変換する。つまり、アドレスデータビット1,0をそれぞれ $b_i = [1, -1]$ に変換する。入力端子5から入力された変調クロックは、図示しないバッファを介して各動作ブロック及び出力端子14にクロック信号として供給される。even, odd判定回路8は、アドレスチャンネルビット b_i の先頭ビットからのデータ順の偶奇を常に判定し、位相生成回路9に出力する。位相生成回路9は、アドレスチャン

12

* 【0036】図4に示される横軸を時間、縦軸を位相とした位相平面でもわかるように、偶数ビットの開始位相は、 $\pi/2$ のずれを持つ。そこで、 i 時点のビットを b_i 、ビット b_i に対応する信号開始点の位相を ϕ_i とすると、 ϕ_{i-1} と ϕ_i の関係は、 b_{i-1} と b_i の関係から次のようになる。

【0037】

ネルビット変換回路6で生成されたアドレスチャンネルビット b_i とディレイ7で1クロック遅延されたアドレスチャンネルビット b_i とを比較し、even, odd判定回路8の出力を参照して、式(2)に基づいて位相 ϕ_i を生成する。位相 ϕ_i とアドレスチャンネルビット b_i をシフトレジスタ10、11でタイミングをそろえて、それぞれ出力端子12、13から出力する。

【0041】次に、FSK変調回路3について図6を用いて説明する。FSK変調回路3は、アドレスチャンネルビット b_i 、位相 ϕ_i 及び変調クロックと同じ周波数のクロックに基づいて、FSK変調波を出力するFSK変調ブロック18と、このFSK変調波から低域成分を通過させるLPF19と、からなる。なお、FSK変調ブロック18は、例えば、DSP(Digital Signal Processor)などで構成されるデジタル信号処理回路である。

【0042】次に、この動作について説明する。入力端子15、16、17に入力されたアドレスチャンネルビット b_i 、位相 ϕ_i 、クロックをFSK変調ブロック18に供給し、このFSK変調ブロック18から前記した式(1)に基づいたFSK変調波を出力する。次に、このFSK変調波をLPF19で低域成分だけを通過させてなめらかなウォブル波形にして出力端子20から出力する。

【0043】このようにして生成されたFSK変調波を図7に示す。図7に示すFSK変調波は、アドレスデータ[0010101010]を入力し、前記アドレスデータビットの1,0をそれぞれアドレスチャンネルビット $b_i = [1, 0]$ に割り当てた時の変調後ウォブル波形である。アドレスチャンネルビット b_i は、NRZ1方式で記録され、波長の長い方の変調波、つまりFSK変調信号 $s(t) = \sin(2\pi f_c t (1 - 1/4))$ を基本波とし、波長の短い方の変調波つまり $s(t) = \sin(2\pi f_c t (1 + 1/4))$ で反転する。

【0044】図5、図6では、ハードウェアによる構成例を示したが、いずれもDSP(デジタルシグナルプロセッサ)等により、ソフトウェアで処理することも可能であることは言うまでも無い。

【0045】本発明の実施形態の変調装置によれば、周波数 f_c の変調クロックを発生する発生回路1と、この

(8)

特開2003-196928

13

変調クロックとアドレスデータに基づいて、アドレスチャンネルビット b_i 、位相 ϕ_i 及び変調クロックと同じ周波数のクロックを生成する変調処理回路2と、アドレスチャンネルビット b_i 、位相 ϕ_i 及びクロックに基づいてFSK変調波を出力するFSK変調回路3と、からなるので、変調クロックと同じ周期でアドレスチャンネルビット b_i が変調され、高密度なアドレス情報を変調記録することが出来る。

【0046】図15に示した従来のアドレス変調装置では、アドレスデータの周波数とキャリア信号周波数の比を7倍にとっているのに比べ、同じキャリア信号周波数では7倍の信号を記録することが出来る。更に、変調後の信号は、上述のように位相連続性を保ちつつ、また前記アドレス情報の1と0に対応する変調後の周波数は、互いに直交の関係にあるので、後述するように復調時にノイズに強い高精度な復調を可能とすることが出来る。

【0047】次に、本発明の実施形態の復調装置について図8を用いて説明する。図8は、図18を用いて従来例で説明した直交同期検波器から、1つの周波数検波ブロックを抜き出したものと等価である。

【0048】図8に示すように、本発明の実施形態の復調装置は、入力端子21を介して光ディスク37（図13参照）からの反射光を電気信号に変換する受光部（図示せず）より出力される再生信号を所定のゲインに増幅するバッファ22と、前記した再生信号からアドレス信号が重畳したウォブル信号を抽出するバンドパスフィルタ（Band Pass Filter（以下、BPF））23と、この抽出されたウォブル信号に位相同期がかけられた検波信

$$c(t) = \sin(2\pi f_c t (1 - 1/4)) \dots (3)$$

が選ばれる。もちろん、 $b_i = 1$ とした周波数でもかまわない。

【0051】乗算器25には、PLL24で生成された検波信号 $c(t)$ とBPF23で抽出されたウォブル変調成分とが入力され、乗算信号を出力する。この乗算信号からは、LPF26で式(7)の第2項に相当する高周波ノイズが除去され、2値化回路27で2値化され、判定回路28で復号されてアドレスデータが出力端子29から出力される。

【0052】図7で示した変調ウォブル信号を、図8の復調装置で復調したときの波形を図9に示す。乗算器25の出力をLPF26で低周波成分だけを抽出し、2値化回路27で2値化した信号を判定回路28に入力し、NRZI変換することで、図7で変調したときと同じアドレスデータが復調されている様子がわかる。

【0053】本発明の実施形態の復調装置によれば、アドレス信号が重畳されたウォブル信号を抽出するバンドパスフィルタ23と、このバンドパスフィルタ23によって検出したウォブル信号から、 $f_c + \Delta f$ 、 $f_c - \Delta f$ のうち何れかのウォブル周波数に位相同期した信号を生成するPLL回路24と、ウォブル周波数に位相同期

14

*号 $c(t)$ を出力するPLL回路（位相同期回路）24と、このPLL回路24から出力された検波信号 $c(t)$ とBPF23で抽出されたウォブル信号を乗算して乗算信号を出力する乗算器25と、この乗算信号の高周波成分を減衰して、低周波成分を通過させるLPF26と、このLPF26を通過した低周波成分の乗算した信号を2値化する2値化回路27と、この2値化した信号をNRZI変換してアドレスデータを復調する判定回路28と、からなる。

10 【0049】そして、光ディスクからの反射光を電気信号に変換する受光部（図示せず）より出力される再生信号を入力端子21を介してバッファ22に入力し、ここで所定のゲインで増幅する。この時、バッファ22にはAGC(Auto Gain Control Amp.)等、他の処理機能が含まれても良い。

20 【0050】バンドパスフィルタ（Band Pass Filter（以下、BPF））23は、受光部から出力される電気信号からウォブル変調成分を抽出し、乗算器25に出力する。PLL24は、BPF23の出力のウォブル変調成分に位相同期がかけられた検波信号 $c(t)$ を出力するが、検波信号 $c(t)$ の周波数は、予めわかっている

ので、PLL24に用いるVCOの発振周波数を $b_i = -1$ の場合か $b_i = 1$ の場合かの何れかの周波数の直近で発振するようにし、PLLのループゲインを低くすることによって正確な検波信号 $c(t)$ を得ることが可能である。前記検波信号としては例えば、式(1)において $b_i = -1$ とした時の周波数である

30 した信号をアドレス信号が重畳されたウォブル信号に乗算して乗算信号を生成する乗算器25と、この乗算信号の高周波成分を減衰して、低周波成分を通過させるLPF26と、このLPF26を通過した低周波成分の乗算信号からアドレス信号を復調する判定回路28と、からなるので、変調後のウォブル周波数が互いに直交の関係になるため、同期検波によって検出精度の高いアドレス情報の復調を行なうことができる。もちろん、図8をDSP等によってソフトウェア処理することも本発明では有効である。

40 【0054】次に、光ディスク原盤33にアドレス情報を記録する本発明の実施形態の記録装置について図10を用いて説明する。図10に示すように、本発明の実施形態の記録装置は、FSK変調波を出力するアドレス変調装置30と、このFSK変調波に応じてブリググループを形成するための制御信号を出力する記録回路31と、この制御信号に基づいて、レーザ光を出力して光ディスク原盤33全体に渡ってブリググループを形成する光ヘッド32と、光ディスク原盤33に対して半径方向に移動するスレッドモータ34と、光ディスク原盤33を一定角速度(CAV: Constant Angular

50

(9)

特開2003-196928

15

Velocity) 又は一定線速度 (CLV: Constant Linear Velocity) で回転するスピンドルモータ35と、これら全体をコントロールするコントローラ36と、からなる。

【0055】以下、その動作について説明する。アドレス変調装置30は、前記した図1に示した構成を有しており、FSK変調回路3が出力する周波数変調波を記録回路31に供給する。記録回路31は、コントローラ36を介してアドレス変調装置30より供給された信号に応じて光ヘッド32を制御し、ディスク原盤33にブリググループを形成するためのレーザ光を照射する。光ヘッド32は、スレッドモータ34によって半径方向に移動され、光ディスク原盤33全周にわたるブリググループの形成を行う。スピンドルモータ35は、ディスク原盤33を一定角速度 (CAV: Constant Angular Velocity) または一定線速度 (CLV: Constant Linear Velocity) で回転させる。なお、コントローラ36は、これらの動作を総合的に制御している。

【0056】光ディスク原盤33に予め塗布されているレジストは、光ヘッド32より照射されるレーザ光で感光し、この光ディスク原盤33を現像すると上記レーザ光で記録されたブリググループが除去されて、ブリググループが形成された光ディスク原盤33が作製できる。このディスク原盤33からスタンバを作製し、スタンバからレプリカとしての図13に示したブリググループ43が形成された光ディスク37を作製する。本発明の実施形態の記録装置によれば、位相連続性を保ちつつ高度なアドレス情報が変調記録された光ディスク37を得ることができる。

【0057】次に、従来例で説明したブリググループ43が形成された光ディスク37に情報を記録再生する本発明の実施形態の記録再生装置について図11を用いて説明する。従来例と同一構成には同一符号を付し、その説明を省略する。図11に示すように、記録時には、記録再生信号処理部38は、記録信号を光ディスク37に記録するための信号処理を行い、光ヘッド39は、記録再生信号処理部38からの信号に応じてレーザ光を光ディスク37に照射して、記録信号を記録する。再生時には、光ヘッド39は、レーザ光を光ディスク37に照射して、記録再生信号処理部38に再生信号を出力し、記録再生信号処理部38は、光ヘッド39からの再生信号をデータとして外部出力可能な形式に処理し、外部に出力する。

【0058】また、光ヘッド39は、情報の記録再生と同時にウォブル信号を再生し、アドレス復調装置40に出力する。アドレス復調装置40は、図8に示す構成を有している。アドレス復調装置40からは、復号されたアドレスデータが出力され、記録再生処理部38とシステムコントローラ41に供給される。記録再生信号処理部38では、前記再生されるアドレスデータとシステム

16

コントローラ41から指定される指定アドレスに基づいて所定のアドレスに記録信号を記録する。システムコントローラ41では、前記再生されるアドレスデータを各種制御に利用する。

【0059】アドレス復調装置40は、同時に、ウォブル信号に同期したクロックであるPLL出力を生成し、システムコントローラ41及びスピンドル制御部42に供給する。スピンドル制御部42は、前記PLL出力に基づいてスピンドルモータ35を制御し、光ディスク37を所定の回転数で回転させる。スレッドモータ34は、光ヘッド39を光ディスク37の半径方向に移動させる。システムコントローラ41は、これらの動作全体を制御するものである。

【0060】本発明の実施形態の記録再生装置によれば、光ディスク37上の所定のアドレス位置に良好な情報の記録再生を行うことが出来る。なお、本発明においてトラックがブリググループに形成されているとして説明したが、ランドに形成してもよい。また、本発明の実施形態においては、アドレス情報としてADIPデータを記録するものとして説明したが、従来例で説明したATIPデータなど、記録媒体上の位置を特定する情報であればこれに限定させるものではない。

【0061】また、本発明は記録媒体として、ディスク状の光記録媒体で説明したが、これに限るものではなく、例えばディスク形状の一部をカットしたものを内部に含み、カード状に形成された光記録媒体であってもよい。図12に示すように、ゾーン0からゾーンZ'-1までが記録再生に使用され、ゾーンZからゾーンZ+nまでは使用されない形態であってもよいものである。

【0062】

【発明の効果】以上のように、本発明によれば、簡単な位相変調によって、位相連続性を保ちつつ、ウォブルのキャリア周波数を高くすることなく高密度なアドレス情報を連続溝に変調記録することが可能である。また、アドレス情報の1と0に対応する変調後の周波数は、互いに直交の関係にあるように位相変調を行うので、直交同期検波によって検出精度の高いアドレス情報の復調が可能である。

【図面の簡単な説明】

【図1】本発明の実施形態の変調装置を示すブロック図である。

【図2】フレームフォーマットのADIP (Address In Pre-groove) データを示す図である。

【図3】アドレスデータビット1, 0に対する変調信号s(t)を示し、(a)は、アドレスデータ1ビットに対する変調信号、(b)は、アドレスデータビット0に対する変調信号を示す図である。

【図4】アドレス変調信号の位相変遷図である。

【図5】図1における変調装置の変調処理回路を示すブロック図である。

(10)

特開2003-196928

17

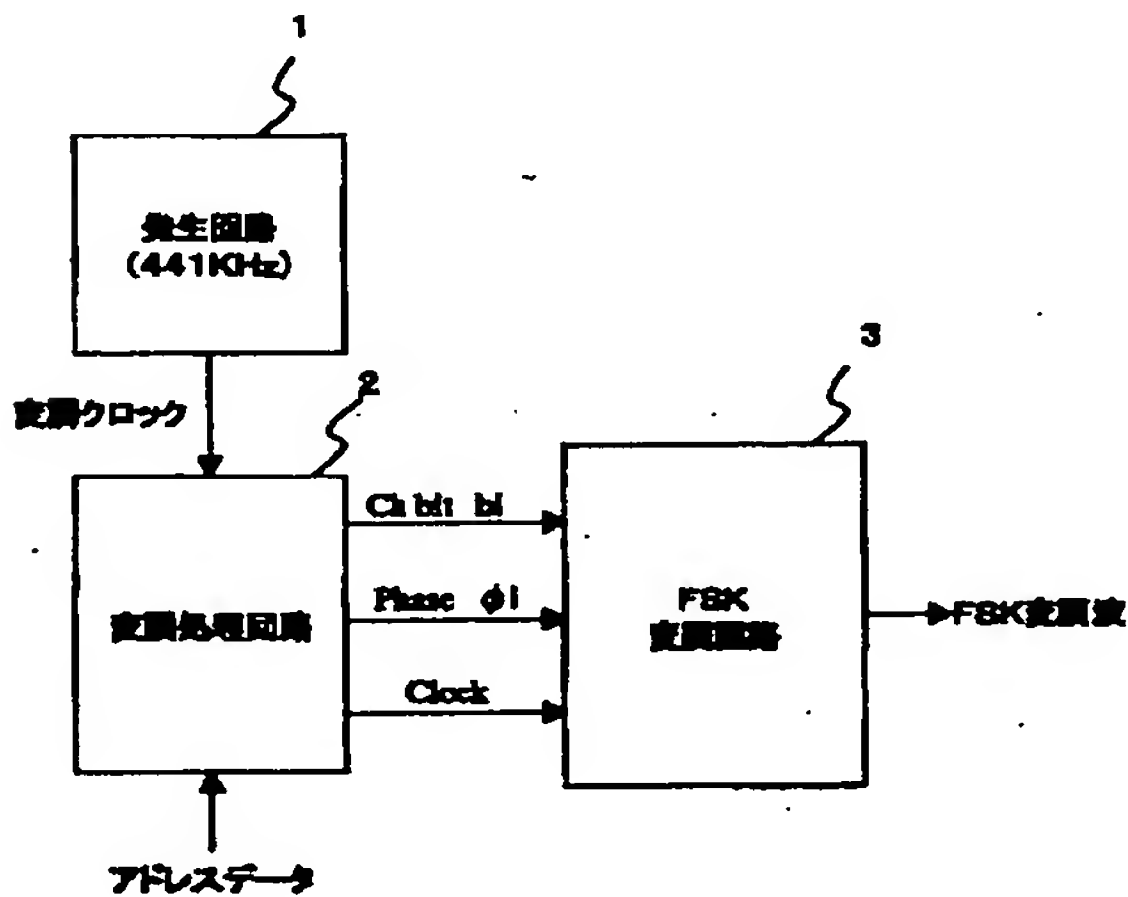
18

【図6】FSK変調回路を示すブロック図である。
【図7】変調ウォブル信号を示す図である。
【図8】本発明の実施形態の復調装置を示すブロック図である。
【図9】復調波を示す図である。
【図10】ディスク原盤にアドレス情報を記録する記録装置を示すブロック図である。
【図11】本発明の実施形態の記録再生装置を示すブロック図である。
【図12】本発明のアドレス変調方法により記録されたカード状記録媒体の平面図である。
【図13】一般的な光ディスクを示し、(a)は、その平面図、(b)は、ブリググループ部分周辺を拡大した斜視図である。
【図14】ウォブリングアドレスフレームの構成(フォーマット)を示す図である。
【図15】従来のアドレス変調装置を示すブロック図である。
【図16】2値化されたウォブリング変調成分(周波数変調波)の一例を示し、(a)は、波形、(b)は、アドレスチャンネルビット、(c)はアドレスデータを示す図である。

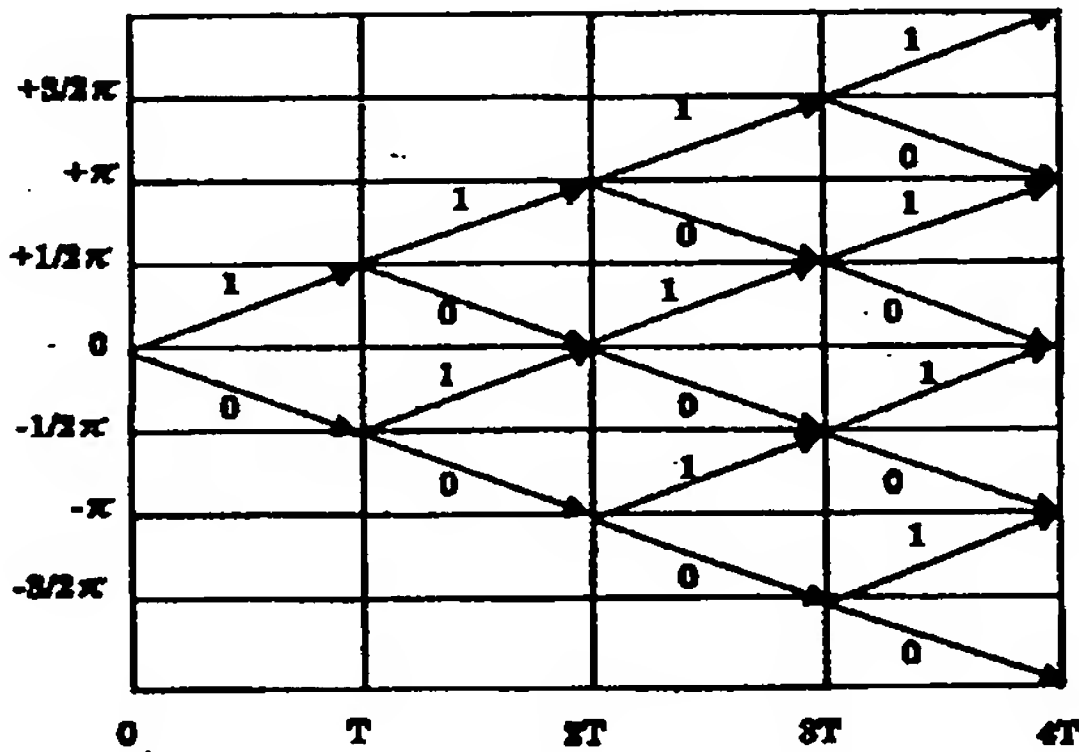
*【図17】従来のアドレス復調回路を示すブロック図である。
【図18】直交同期検波器のブロック図である。
【符号の説明】
1…発生回路、2…変調処理回路(変調処理手段)、3…FSK変調回路(FSK変調手段)、4、5、15、16、17、21…入力端子、6…アドレスチャンネルビット変換回路、7…ディレイ、8…even、odd偏低回路、9…位相生成回路、10、11…シフトレジスタ、12、13、14、20、29…出力端子、18…FSK変調ブロック、19、26…LPF(低域通過フィルタ手段)、22…バッファ、23…バンドパスフィルタ(検出手段)、24…PLL回路(位相同期回路)、25…乗算器(乗算手段)、27…2値化回路、28…判定回路(アドレス信号判別手段)、30…アドレス変調装置、31…記録回路、32…光ヘッド、33…光ディスク原盤、34…スレッドモータ、35…スピンドルモータ、36…コントローラ、37…光ディスク、38…記録再生信号処理部、39…光ヘッド、40…アドレス復調装置、41…システムコントローラ、42…スピンドル制御部

*

【図1】



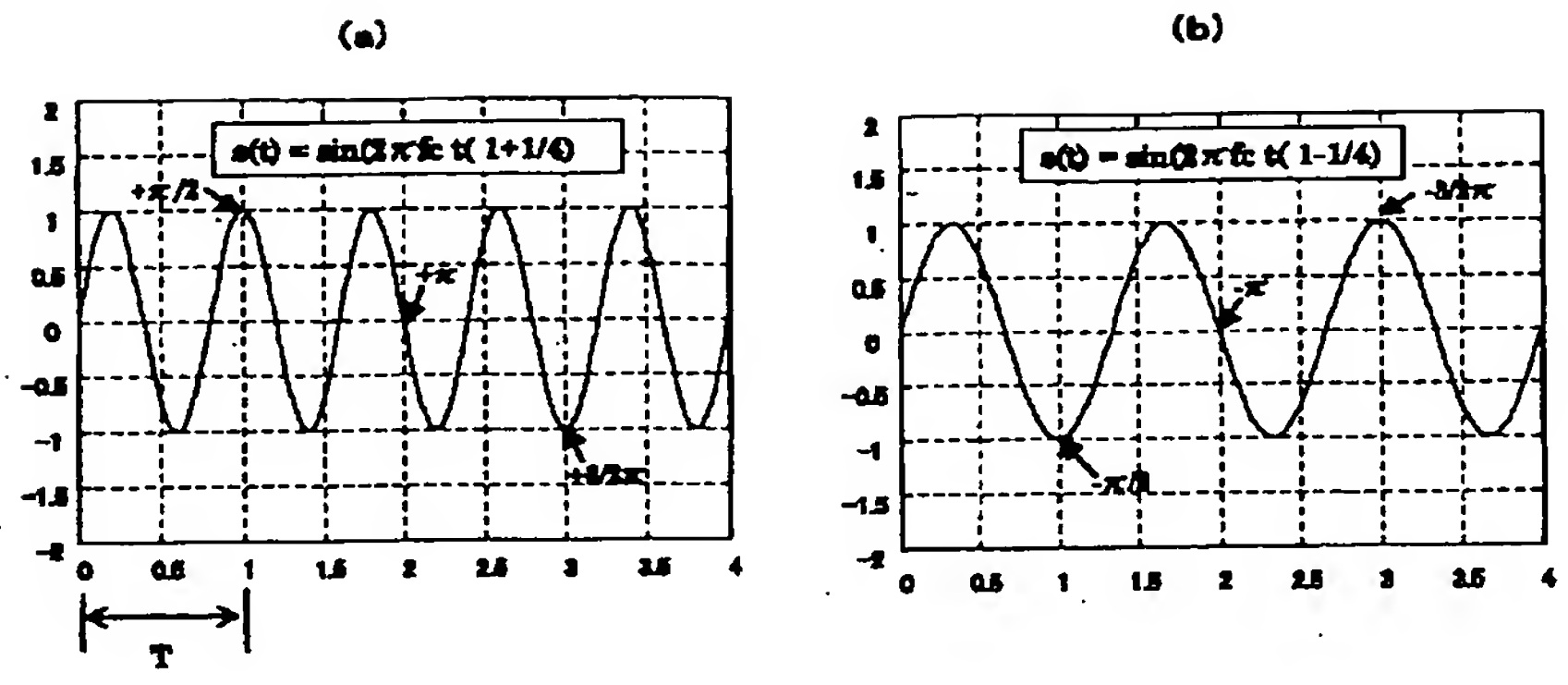
【図4】



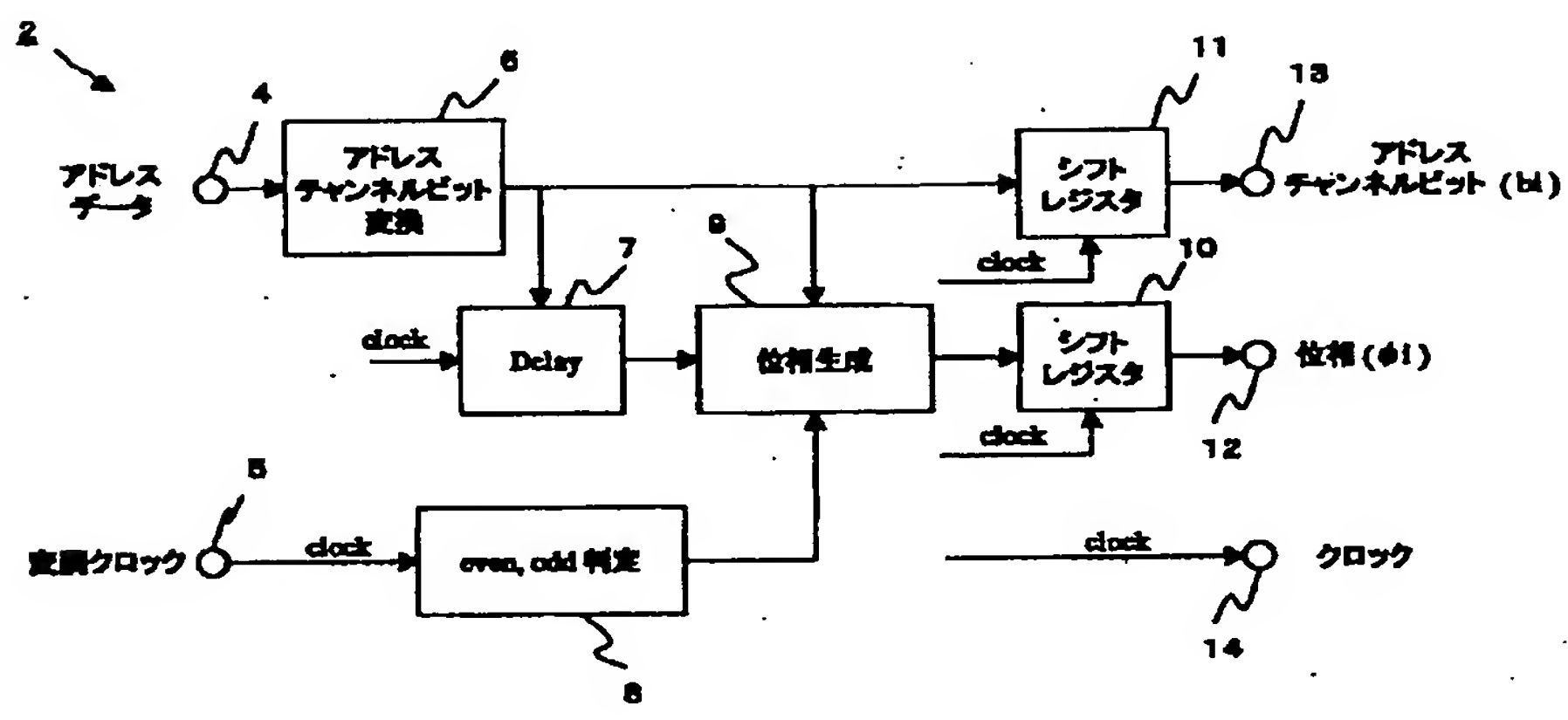
【図2】

Sync 4bit	Layer 2bit	Address 12bit	Auxiliary information 10bit	EOC 20bit
--------------	---------------	------------------	--------------------------------	--------------

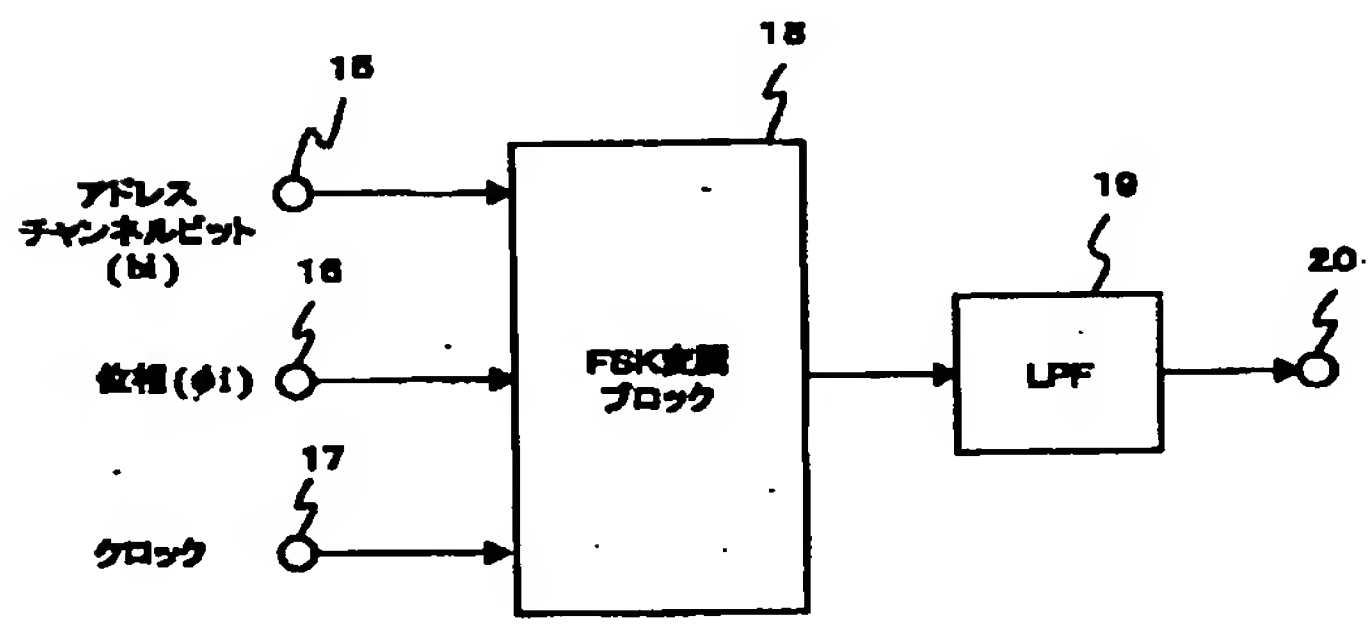
【図3】



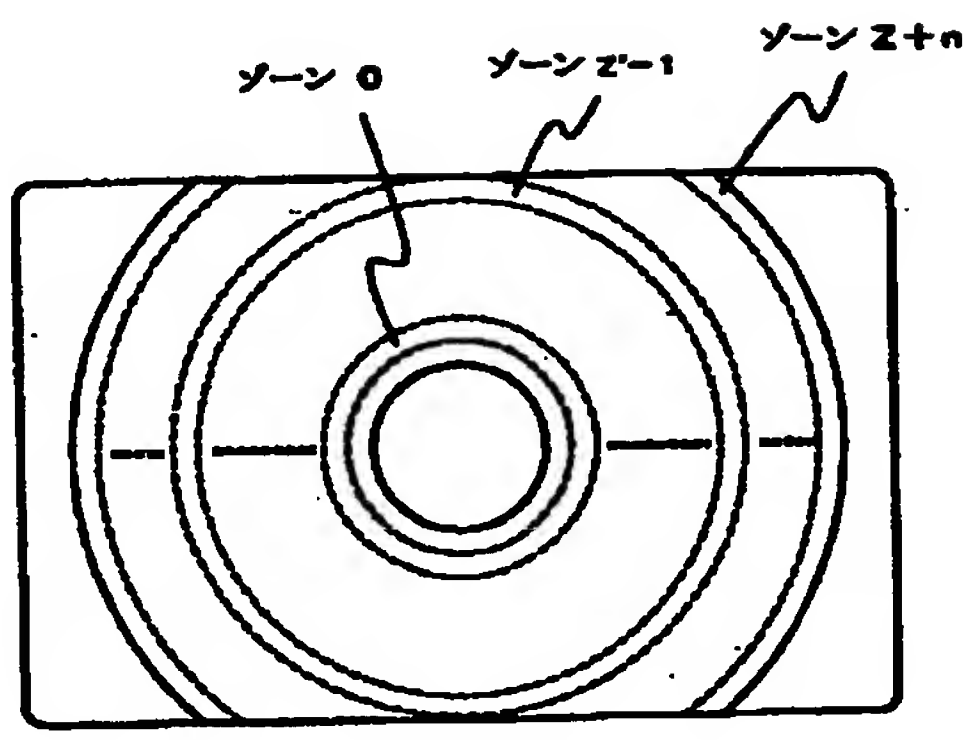
【図5】



【図6】



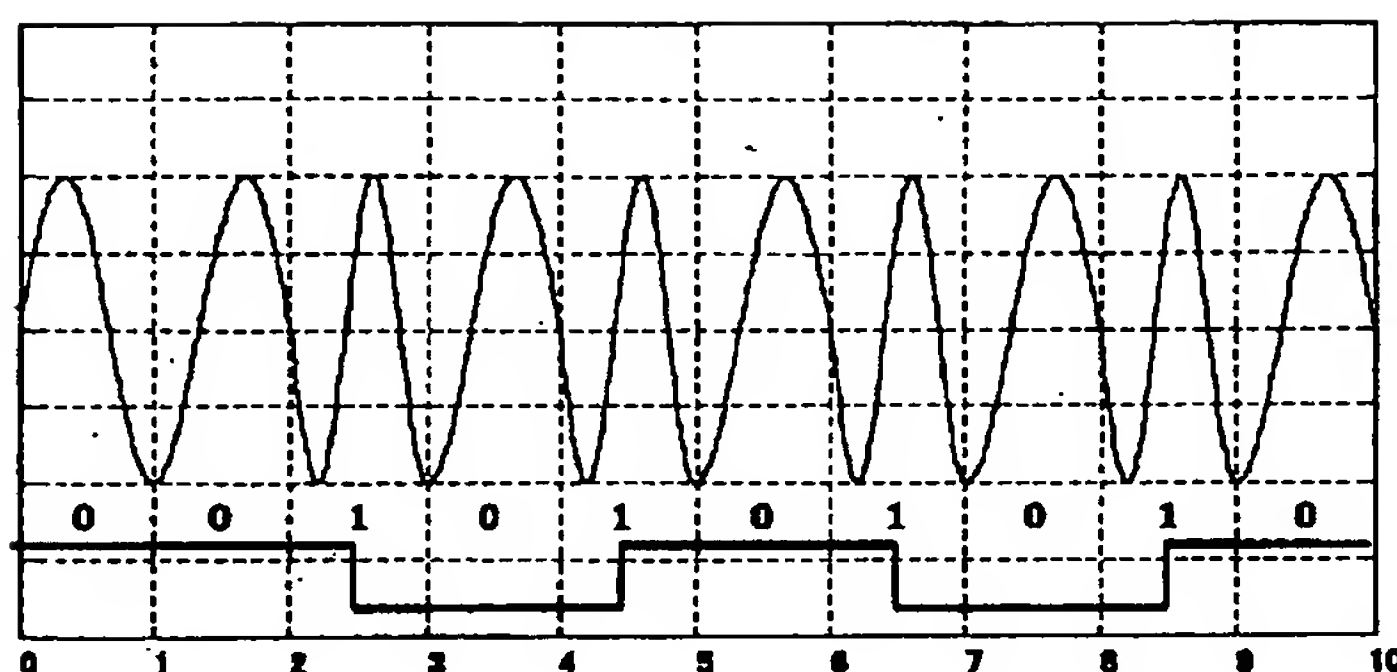
【図12】



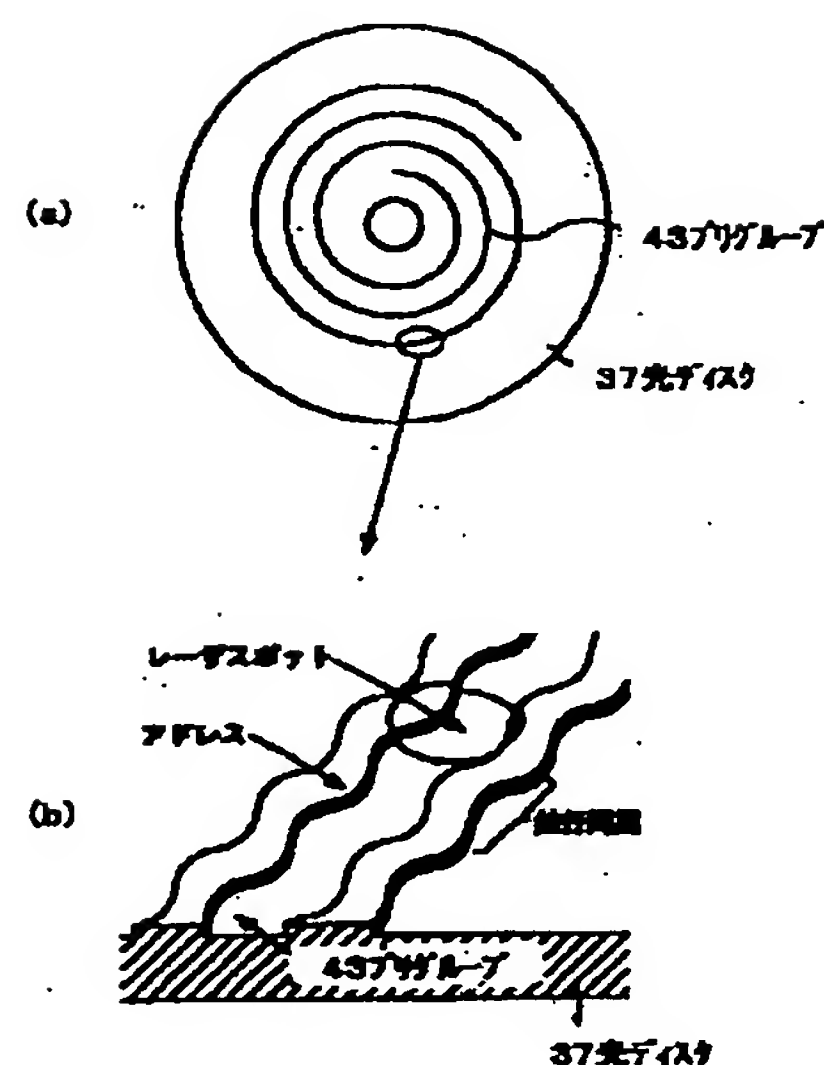
(12)

特開2003-196928

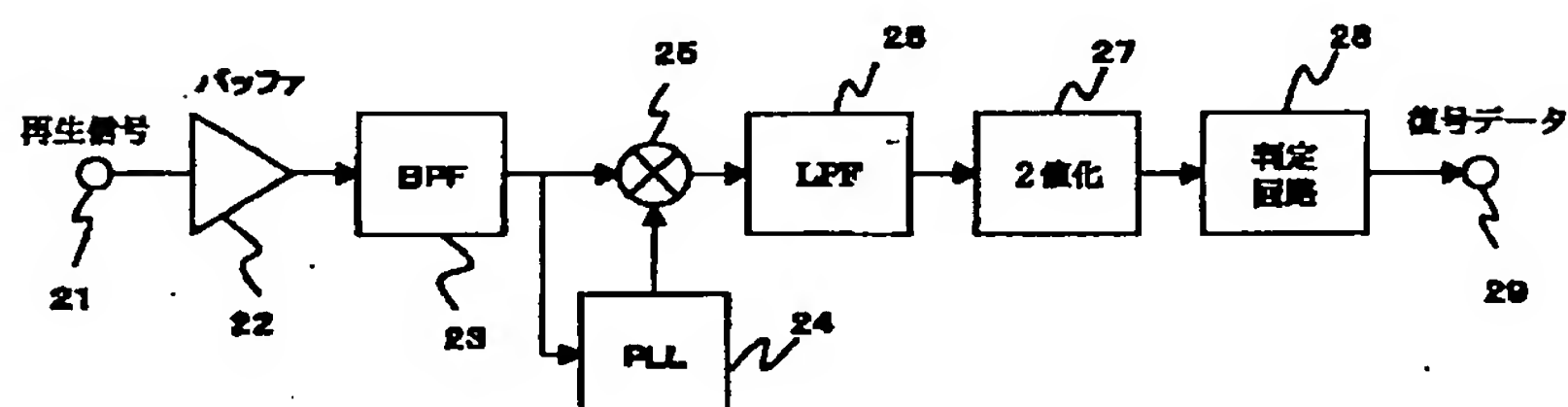
【図7】



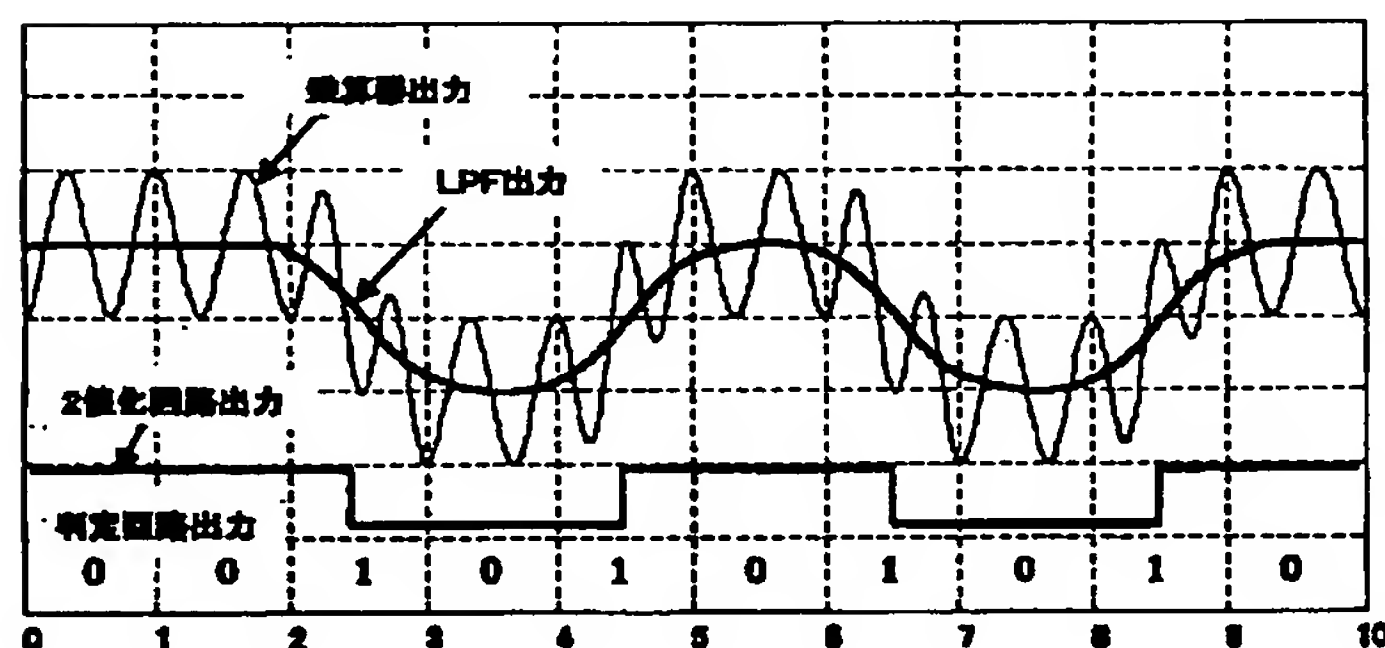
【図13】



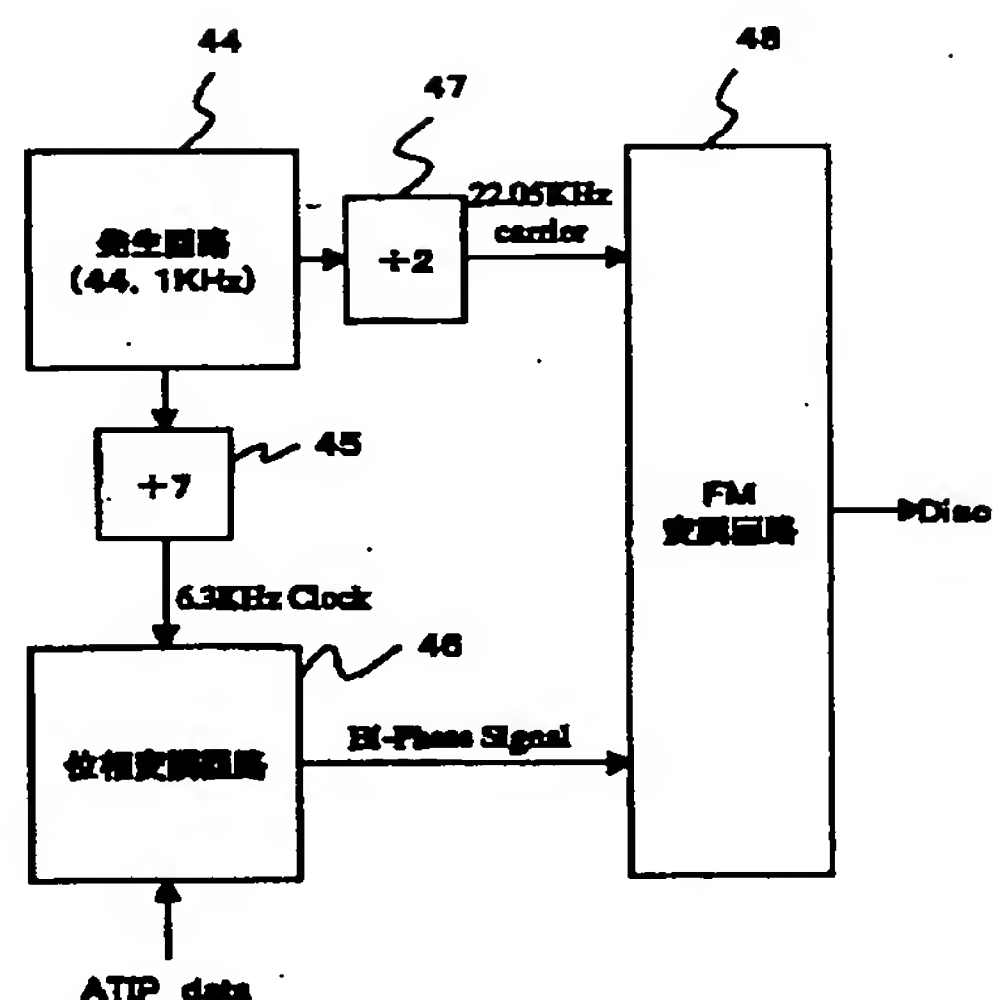
【図8】



【図9】



【図15】



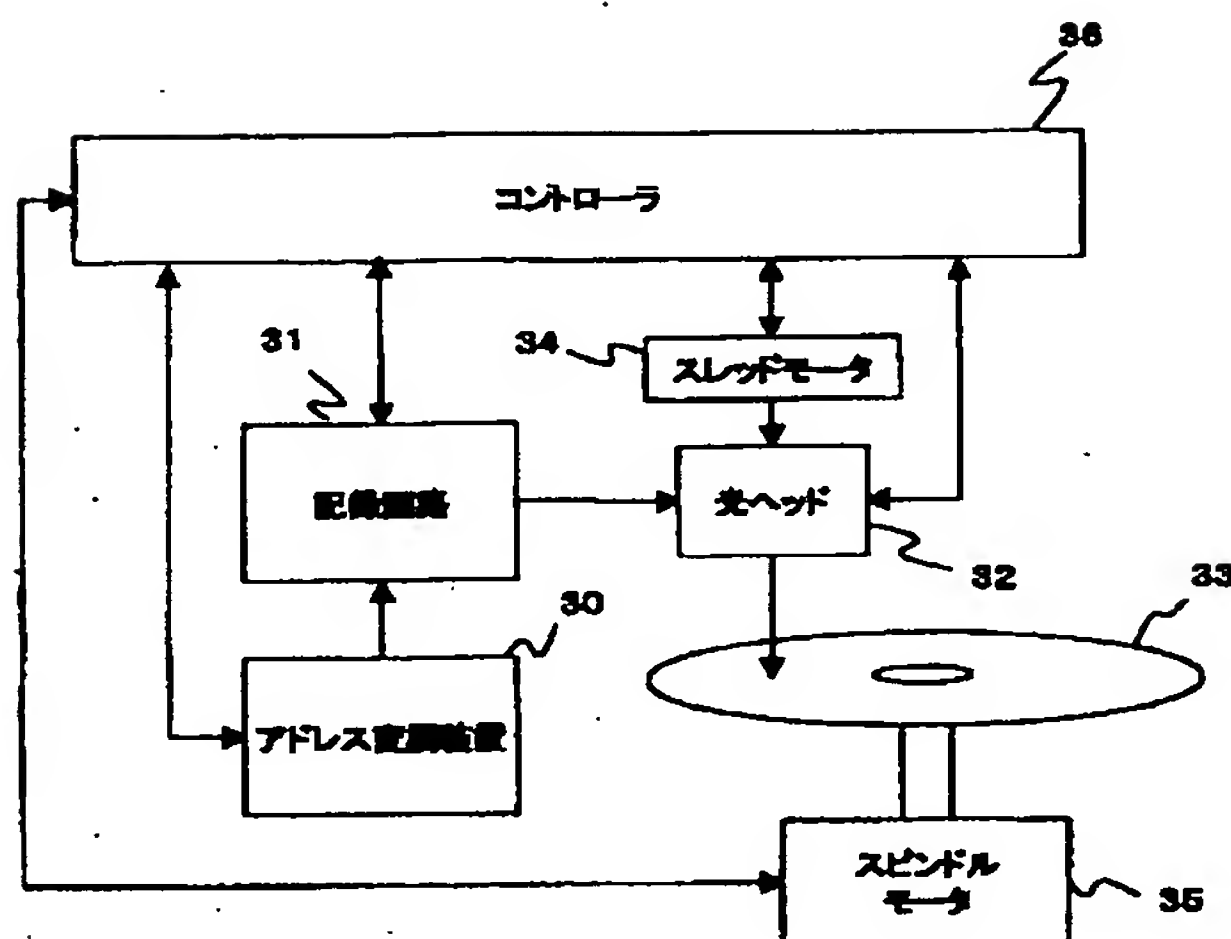
【図14】

Sync	Minutes	Seconds	Frames	EOC
4bit	8bit	8bit	8bit	14bit

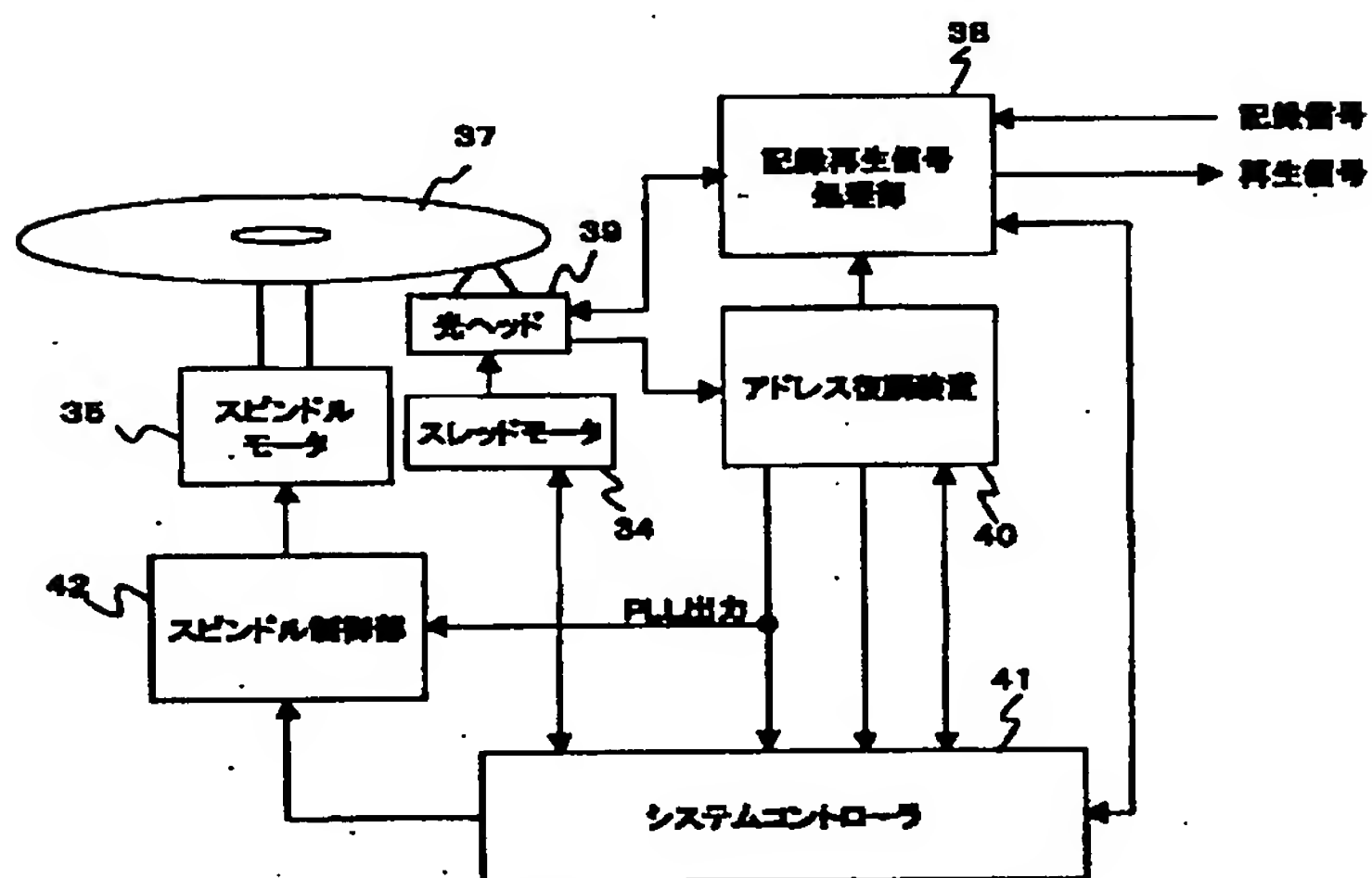
(13)

特開2003-196928

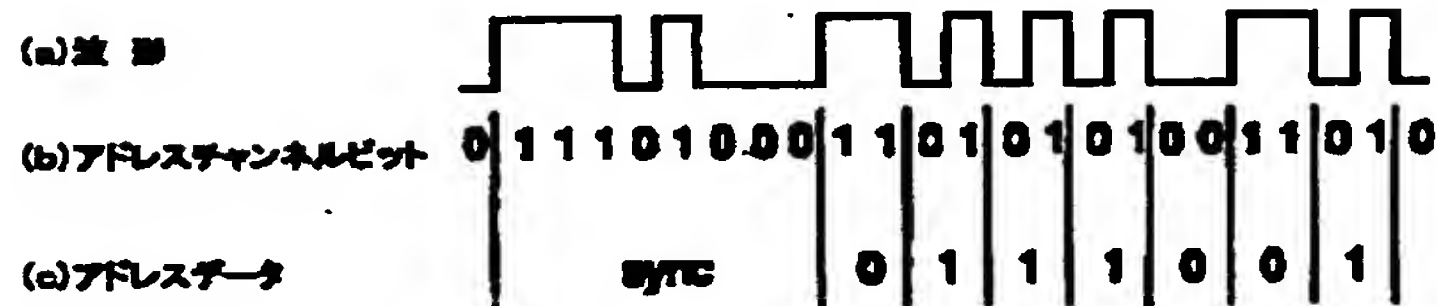
【図10】



【図11】



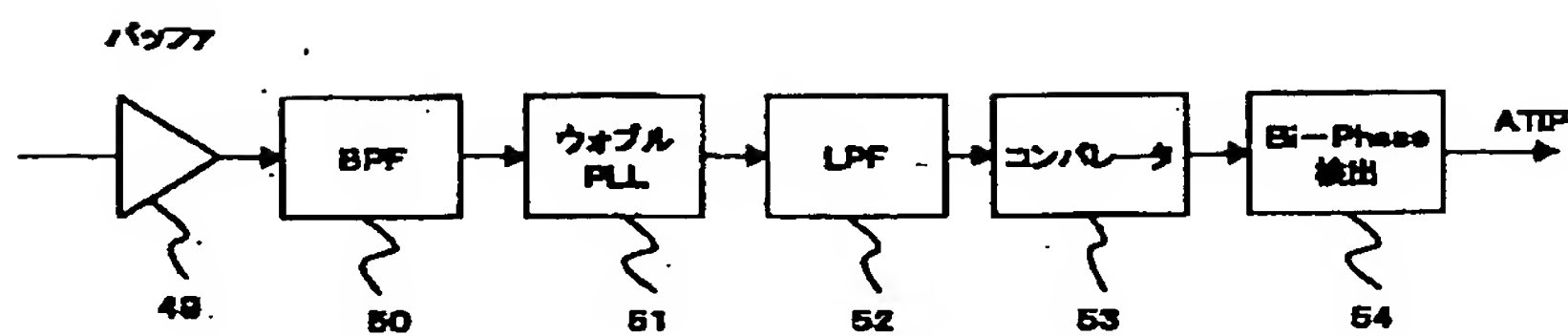
【図16】



(14)

特開2003-196928

【図17】



【図18】

